

# X JORNADAS DE COMPUTACIÓN RECONFIGURABLE Y APLICACIONES, JCRA 2010

## PROGRAMA CEDI 2010

<http://cedi2005.ugr.es/2010/contenido.php?apartado=programa&sub=esquema>

## PROGRAMA JCRA 2010

Hora	Sesión	Título Sesión	Aula	Edificio
Miércoles 8 de Septiembre de 2010				
10:50-11:10		Acto de apertura	B-6	1G
11:15-12:30	8-1a	Metodologías de diseño	B-6	1G
11:00-12:30	8-1b	DSP I	B-7	1G
16:30-18:00	8-2a	DSP II	B-6	1G
16:30-18:00	8-2b	Sistemas embebidos I	B-7	1G

Hora	Sesión	Título Sesión	Aula	Edificio
Jueves 9 de Septiembre de 2010				
9:00-10:30	9-1	Conferencia I	B-6	1G
11:00-12:30	9-2a	Sistemas embebidos II	B-6	1G
11:00-12:30	9-2b	Computación a medida	B-7	1G
12:30-13:30	9-3	Conferencia II	B-6	1G
16:00-17:30	9-4	Sistemas de visión artificial	B-6	1G
17:30-18:30		Reunión comités de JCRA: programa y científico	B-6	1G

Hora	Sesión	Título Sesión	Aula	Edificio
Viernes 10 de Septiembre de 2010				
9:00-10:30	10-1	Conferencia III	B-6	1G
12:00-13:30	10-2a	Codiseño HW/SW	B-6	1G
12:00-13:30	10-2b	IP Cores, Test, Educación	B-7	1G
13:30-14:00		Acto de clausura	B-6	1G

## CONFERENCIAS

<b>Conferencia I</b>
<b>Recent Approaches to Massively Parallel Reconfigurable. Computing Platforms and corresponding Applications.</b> Stefan Baumgart, SciEngines
<b>Conferencia II</b>
<b>PlanAhead: Evolución del flujo de diseño para FPGAs de Xilinx.</b> Gabriel Cutillas, Silica
<b>Conferencia III</b>
<b>Diseño de periféricos en procesadores configurables para FPGAs.</b> Jorge Domingo Garcia, EVB Elektronik

## SESIONES

<b>Sesión 8-1a. Metodologías de diseño</b>
<b>Automatic Generation of Optimal VHDL Code based on constraints from Xilinx System Generator Specifications</b> Pedro Martín Sánchez, Fco. Javier Rodríguez Sánchez, Osmell Machado Llerena, Emilio Bueno Peña, Branislav Vuksanovic
<b>Metodología para el diseño multilenguaje de sistemas de control empotrados sobre FPGAs</b> Ernesto del Toro, Alejandro Cabrera, Santiago Sánchez-Solano, Ángel Barriga
<b>GPFPGA: entorno para la generación automática de códigos HDL portables entre FPGAs</b> Carlos Álvarez, Daniel Jiménez, Raúl Sánchez, Julián Morillo, Daniel Cabrera
<b>R-Grid: Un Grid Reconfigurable basado en FPGA para Computación de Alto endimiento</b> Francisco Sánchez Molina, Fernando Rincón Calle, Francisco Moya Fernández, Juan Carlos López López, Jesús Barba Romero

Sesión 8-1b. DSP I
<b>Versión preliminar de un procesador específico para la resolución de Sudokus</b> Javier Olivito, Javier Resano, Carlos González
<b>Generador de ruido AWGN de altas prestaciones mediante el método de la inversión</b> Roberto Gutiérrez Mazón, Vicente Torres, Javier Valls
<b>Implementación en FPGA del algoritmo Pixel Purity Index para el análisis de imágenes hiperespectrales en teledetección</b> Carlos González, Daniel Mozos, Javier Resano, Antonio Plaza
<b>An FPGA Architecture for the Radix-R Fast Hadamard Transform based on Simple Stride Permutations</b> Enric M. Calvo

Sesión 8-2a. DSP II
<b>Métodos de detección de radiación mediante electrónica digital reconfigurable</b> Alberto Regadío, Sebastián Sánchez
<b>Generador configurable de modulaciones de banda ancha</b> Asun Pérez, Joan Marc Catalá, Vicente Torres, Javier Valls
<b>Módulo basado en lógica reconfigurable para el recuento sanguíneo basado en los espacios de color</b> Juan Suardiáez Muro, Pedro M. Alcover Garau, María Isabel Rubio Blanco, Basil M. Al-Hadithi
<b>Arquitectura para la codificación de códigos QC-LDPC a alta velocidad</b> Jose Correcher Soriano, Vicente Torres Carot, Fabián Angarita Preciado, Javier Valls Coquillat

Sesión 8-2b. Sistemas embebidos I
<b>Coprocesador para la gestión dinámica de claves de usuarios sobre plataformas FPGA</b> Inmaculada Pardines, Joaquín Ibáñez, Marcos Sánchez-Élez, Javier Resano
<b>Emulación de Multiprocesadores en la Plataforma Xilinx ACP</b> Javier Castillo, José Ignacio Martínez, Jose Renau, Tom Golubev.
<b>Arquitectura para extracción de características de imágenes en tiempo real</b> Juan Manuel Gómez López, Raquel Ureña Pérez, Christian Morillas Gutiérrez, Francisco Pelayo Valle, Miguel Ángel López Gordo
<b>Plataforma de cifrado asimétrico utilizando un MPSoC</b> José M. Granado-Criado, Miguel A. Vega-Rodríguez, Juan M. Sánchez Pérez, Juan A. Gómez Pulido

<b>Sesión 9-2a. Sistemas embebidos II</b>
<b>Diseño de una arquitectura Hw/Sw en FPGA para la sustracción del fondo en secuencias de video</b> Rafael Rodríguez-Gómez, Enrique Fernández-Sánchez, Benoit Rat, Rodrigo Agis
<b>Implementación de cámaras inteligentes basada en FPGAs y un sensor CMOS de alta velocidad</b> Ignacio Bravo, Alfredo Gardel, José Luis Lázaro, Javier Baliñas, Jorge García
<b>Desarrollo de un sistema de control domótico remoto para el estándar KNX gestionado mediante FPGA</b> José Torres, Guillermo Martínez, Ramiro Sanz, Jesús Soret, Julio Martos
<b>Propuesta e implementación de una herramienta generadora de módulos de control Self-Timed en dispositivos FPGA</b> Juan José Raygoza, Susana Ortega, Miguel A. Carrasco, Josué V. Quiroga E

<b>Sesión 9-2b. Computación a medida</b>
<b>Diseño de una arquitectura de propósito general de un computador embarcable basada en FPGAs</b> Alberto Regadío, Cesar Perez, Jesús Tabero, Daniel Meziat
<b>Design and implementation of Clarke and Park transforms for electric AC motors developed for FPGAs</b> Juan José Raygoza, Susana Ortega, Jorge Rivera, Francisco J. Ibarra, Alberto De la Mora
<b>Multiprocesador de 16 núcleos soft-core con arquitectura NoC</b> Eduard Fernandez, Sergi Risueño, David Castells-Rufas, Jordi Carrabina, Jaume Joven
<b>Virtualización de coprocesadores reconfigurables en sistemas HPRC con arquitectura Multicore</b> Iván González, Gustavo Sutter, Diego Sánchez, Sergio López-Buedo, Francisco J. Gómez-Arribas

<b>Sesión 9-4. Sistemas de visión artificial</b>
<b>Arquitectura para extracción de primitivas visuales de bajo nivel en un mismo chip en tiempo real</b> Francisco Barranco, Matteo Tomasi, Javier Díaz, Mauricio Vanegas, Eduardo Ros
<b>Condensación de primitivas visuales de bajo nivel para aplicaciones atencionales</b> Sara Granados, Francisco Barranco, Javier Diaz, Sonia Mota, Eduardo Ros
<b>Implementación de un procesador neuronal digital RNC de imágenes en dispositivos reconfigurables</b> Juan José Raygoza, Susana Ortega, O. Soledad Godinez, A. De la Mora
<b>Implementación de un sistema de reconocimiento de la mano</b> Fco. Javier Toledo Moreo

<b>Sesión 10-2a. Codiseño HW/SW</b>
<b>Revisión de herramientas de diseño electrónico para la síntesis de alto nivel</b> Ander Madariaga Álvarez, Jaime Jiménez Verde, José Luis Martín González, Unai Bidarte, Aitzol Zuloaga
<b>A Configurable High Speed RSA Coprocessor</b> Javier Castillo, Emilio Castillo, Pablo Huerta, José Ignacio Martínez
<b>Prototipado Rápido de Sistemas Empotrados Tolerantes a Radiación en FPGA</b> Felipe Restrepo-Calle, Antonio Martínez-Álvarez, Francisco Rogelio Palomo, Hipólito Guzmán-Miranda, Miguel Ángel Aguirre
<b>In-socket Acceleration for CFDs using High Level Languages</b> Diego Sánchez-Román, Gustavo Sutter, Sergio López-Buedo, Iván González, Francisco J. Gómez-Arribas

<b>Sesión 10-2b. IP Cores, Test, Educación</b>
<b>Verificación on-chip de larga duración de sistemas con eventos lógicos dispersos en el tiempo</b> Julián Viejo, Jose Ignacio Villar, Jorge Juan Chico, Alejandro Millán, Manuel Jesús Bellido.
<b>Aplicación de modelos de variación de retardo al incremento de robustez ante variaciones de tensión de alimentación en FPGAs</b> Juan J. Rodríguez-Andina, Judit Fernández Freijedo, María D. Valdes, María J. Moure, Lucia Costas Pérez
<b>Protección de Módulos IP Embebidos Mediante Técnicas de Watermarking</b> Luis Parrilla, Encarnación Castillo, Antonio García, Antonio Lloris, Elías Todorovich
<b>Aprendizaje basado en proyectos en el marco Bolonia: experiencia docente de una asignatura de criptografía</b> Juan Suardíaz Muro, Pedro María Alcover Garau, Sergio Luján Cabrera, Basil M. Al-Hadithi