

| <b>Miércoles, 9 de Septiembre</b>                    |  |  |  |
|--|--|--|--|
| <b>8:30h</b>   | <b>Registro y entrega de documentación</b>   |  |  |
| <b>9:30h</b>   | <b>Apertura Congreso JCRA09</b>  |  |  |
| <b>10:00h</b>  | <b>Conferencia plenaria: Juanjo Noguera<br/>(Xilinx Research Labs. Dublin. Ireland)</b>  |  |  |
| <b>11:00h</b>  | <b>Pausa para café</b>   |  |  |
| <b>11:30h</b>  | <table border="1"> <tr> <td><b>Sesión 1a<br/>Metodologías de diseño</b></td> <td><b>Sesión 1b<br/>Sistemas Bioinspirados</b></td> </tr> </table>                                   | <b>Sesión 1a<br/>Metodologías de diseño</b>          | <b>Sesión 1b<br/>Sistemas Bioinspirados</b>                          |
| <b>Sesión 1a<br/>Metodologías de diseño</b>          | <b>Sesión 1b<br/>Sistemas Bioinspirados</b>  |  |  |
| <b>13:00h</b>  | <b>Pausa para comida</b>   |  |  |
| <b>14:30h</b>  | <table border="1"> <tr> <td><b>Sesión 2a<br/>Arquitecturas para DSP<br/>(I)</b></td> <td><b>Sesión 2b<br/>Sistemas embebidos y<br/>arquitecturas SoC (I)</b></td> </tr> </table>   | <b>Sesión 2a<br/>Arquitecturas para DSP<br/>(I)</b>  | <b>Sesión 2b<br/>Sistemas embebidos y<br/>arquitecturas SoC (I)</b>  |
| <b>Sesión 2a<br/>Arquitecturas para DSP<br/>(I)</b>  | <b>Sesión 2b<br/>Sistemas embebidos y<br/>arquitecturas SoC (I)</b>  |  |  |
| <b>16:00h</b>  | <b>Pausa para café</b>   |  |  |
| <b>16:30h</b>  | <table border="1"> <tr> <td><b>Sesión 3a<br/>Arquitecturas para DSP<br/>(II)</b></td> <td><b>Sesión 3b<br/>Sistemas embebidos y<br/>arquitecturas SoC (II)</b></td> </tr> </table> | <b>Sesión 3a<br/>Arquitecturas para DSP<br/>(II)</b> | <b>Sesión 3b<br/>Sistemas embebidos y<br/>arquitecturas SoC (II)</b> |
| <b>Sesión 3a<br/>Arquitecturas para DSP<br/>(II)</b> | <b>Sesión 3b<br/>Sistemas embebidos y<br/>arquitecturas SoC (II)</b>   |  |  |
|  |  |  |  |
| <b>18:30h</b>  | <b>Visita Turística Universidad de Alcalá (Rectorado) y Vino español</b>   |  |  |

Las sesiones 1b, 2b y 3b serán en el aula Este E101. El resto de sesiones, apertura y conferencia plenaria serán en la Sala de Grados del Edificio Politécnico (zona Este)

| Conferencia plenaria |  |
|----------------------|--|
| 10:00-11:00          | <b>A research perspective on new design tools and applications for partial reconfiguration</b><br>Juanjo Noguera<br>Xilinx Research Labs. Dublin |

| Sesión 1 a: Metodologías de Diseño |  |
|------------------------------------|--|
| 11:30-11:50                        | <b>FPGA-based Design Methodology to Convert System Generator Specifications into efficient VHDL code</b><br>Martín Sánchez P., Bueno Peña E., Rodríguez Sánchez F.J., Sáez Dorado V.<br>Universidad de Alcalá  |
| 11:50- 12:10                       | <b>High Level System Design Using SAVY: an Application Study</b><br>Tomasena K. <sup>1</sup> , Vélez I. <sup>1</sup> , Cortés A. <sup>1</sup> , Pérez J. <sup>2</sup> , Sevillano J. F. <sup>1</sup><br><sup>1</sup> CEIT y TECNUN, Universidad de Navarra<br><sup>2</sup> SISTEPLANT, Parque Tecnológico de Bizkaia |
| 12:10- 12:30                       | <b>Microblaze en diseño digital de altas prestaciones</b><br>Moreno V., González I., López-Buedo S., Gómez-Arribas F.J., Aracil J.<br>Universidad Autónoma de Madrid   |
| 12:30- 12:50                       | <b>Usando Python como HDL: Estudio comparativo de resultados basado en el desarrollo de un periférico real</b><br>Villar de Ossorno J.I., Juan Chico J., Bellido Díaz M.J., Ruiz-de-Clavijo Vázquez P., Guerrero Martos D., Muñoz A.<br>Universidad de Sevilla   |

| Sesión 1 b: Sistemas Bioinspirados |   |
|------------------------------------|---|
| 11:30-11:50                        | <b>Rendimiento de operadores de computación bio-inspirada mediante procesadores paralelos basados en FPGA</b><br>Gómez-Pulido J. A., Vega-Rodríguez M. A., Granado-Criado J. M., Sánchez-Pérez J.M.<br>Universidad de Extremadura   |
| 11:50- 12:10                       | <b>Sistemas Electrónicos Bio-inspirados tolerantes a fallos</b><br>Iturbe X. <sup>1</sup> , Astarloa A. <sup>2</sup> , Martínez I. <sup>1</sup> , Azkarate-askasua M.<br><sup>1</sup> IKERLAN-IK4 Research Alliance<br><sup>2</sup> Euskal Herriko Unibertsitatea                                     |
| 12:10- 12:30                       | <b>Anomaly Detection in Wireless Sensor Networks using Reconfigurable SORU processor and Self Organizing Maps</b><br>Banković Z., Moya J. M., Araujo Á., de Goyeneche J. M.<br>Universidad Politécnica de Madrid  |
| 12:30- 12:50                       | <b>Elemento de Procesamiento para la Predicción de la Estructura Secundaria Óptima del RNA</b><br>Díaz Pérez A. <sup>1</sup> , García Martínez M.A. <sup>2</sup> , Posada Gómez R. <sup>2</sup><br><sup>1</sup> Cinvestav-Tamaulipas, México<br><sup>2</sup> Instituto Tecnológico de Orizaba, México |

| <b>Sesión 2 a: Arquitecturas para DSP (I)</b> |   |
|---|---|
| 14:30- 14:50                                  | <b>NDE System for Railway Wheel Inspection in a Standard FPGA</b><br>Brizuela J., Ibañez A., Fritsch C.<br>Instituto de Automática Industrial, CSIC   |
| 14:50- 15:10                                  | <b>Implementación mediante FPGA de un sistema SVM de verificación de locutor</b><br>Ramos Lara R. <sup>1</sup> , López García M. <sup>1</sup> , Cantó Navarro E. <sup>2</sup> , Puente Rodríguez L. <sup>3</sup><br><sup>1</sup> Universidad Politécnica de Cataluña<br><sup>2</sup> Universidad de Rovira i Virgili<br><sup>3</sup> Universidad Carlos III de Madrid |
| 15:10- 15:30                                  | <b>Implementation of a modular sonograph in FPGAs</b><br>Camacho J., Brizuela J., Parrilla M., Fritsch C.<br>Instituto de Automática Industrial, CSIC   |

| <b>Sesión 2 b: Sistemas embebidos y arquitecturas SoC (I)</b> |  |
|---|--|
| 14:30- 14:50  | <b>Ambiente de Desarrollo para el Diseño de Coprocesadores en Arquitectura Sparc V8-LEON2</b><br>Etcheverry L., Pérez Acle J., Oliver J.P.<br>Universidad de la República, Uruguay   |
| 14:50- 15:10  | <b>Unidad Terminal Remota, para aplicaciones espaciales</b><br>Guzmán D., Prieto M., García D., Ruíz V., Almena J., Sánchez S., Meziat D.<br>Universidad de Alcalá   |
| 15:10- 15:30  | <b>Integración de unidades procesadoras para el estándar de redes domóticas KNX/EIB en dispositivos reconfigurables</b><br>Casasnovas J., Astarloa A., Lázaro J., Bidarte U., Zuloaga A.<br>Escuela Técnica Superior de Ingeniería de Bilbao |

| <b>Sesión 3 a: Arquitecturas para DSP (II)</b> |  |
|--|--|
| 16:30- 16:50                                   | <b>Identificación de parámetros prosódicos en señales de voz mediante el uso de dispositivos de hardware reconfigurable (FPGA)</b><br>Echeverri R., Morales M., Echeverry J.<br>Universidad Tecnológica de Pereira, Colombia   |
| 16:50- 17:10                                   | <b>Algoritmo de cómputo de distancias en redes de sensores acústicos implementado en FPGAs</b><br>De Marziani C. <sup>1</sup> , Hernández Á. <sup>2</sup> , Ureña J. <sup>2</sup> , Pérez M.C. <sup>2</sup> , García J.J. <sup>2</sup> , Jiménez A. <sup>2</sup> , Villadangos J. M. <sup>2</sup><br><sup>1</sup> Universidad Nacional de la Patagonia San Juan Bosco, Argentina<br><sup>2</sup> Universidad de Alcalá |
| 17:10- 17:30                                   | <b>Convolutionador en tiempo real parametrizable de alta precisión</b><br>Guadalajara Loza J., Mateos Gil R.<br>Universidad de Alcalá  |

| <b>Sesión 3 b: Sistemas embebidos y arquitecturas SoC (II)</b> |  |
|--|--|
| 16:30- 16:50   | <b>Sistema Embebido de Rápida Auto-Reconfiguración sobre Spartan-3</b><br>Cantó Navarro E. <sup>1</sup> , López García M. <sup>2</sup> , Fons Lluís F. <sup>1</sup> , Ramos Lara R. <sup>2</sup><br><sup>1</sup> Universidad de Rovira i Virgili<br><sup>2</sup> Universidad Politécnica de Cataluña |
| 16:50- 17:10   | <b>Aplicación de Picoblaze como Emulador/Receptor de un GPS en el diseño hardware de un cliente/servidor Sntp</b><br>Ostua E., Bellido M.J., Viejo J., Millan A., Muñoz A., Guerrero D.<br>Universidad de Sevilla  |
| 17:10- 17:30   | <b>Arquitectura de un nodo con tiempo de encendido mínimo para una red de sensores inalámbrica. Prototipo basado en FPGA</b><br>Corti R., Martínez R., D'Agostino E., Belmonte J., Giandoménico E.<br>Universidad Nacional de Rosario, Argentina   |

| <b>Jueves, 10 de Septiembre</b>                             |   |   |   |
|---|---|---|---|
| <b>9:00h</b>  | <b>Registro y entrega de documentación</b>  |   |   |
| <b>9:30h</b>  | <b>Conferencia plenaria: Gabriel Cutillas<br/>(SILICA-AVNET)</b>  |   |   |
| <b>11:00h</b>   | <b>Pausa para café</b>  |   |   |
| <b>11:30h</b>   | <table border="1"><tr><td><b>Sesión 4a<br/>Computación a medida</b></td><td><b>Sesión 4b<br/>Herramientas y experiencias<br/>educativas</b></td></tr></table> | <b>Sesión 4a<br/>Computación a medida</b>                   | <b>Sesión 4b<br/>Herramientas y experiencias<br/>educativas</b> |
| <b>Sesión 4a<br/>Computación a medida</b>                   | <b>Sesión 4b<br/>Herramientas y experiencias<br/>educativas</b>   |   |   |
| <b>13:00h</b>   | <b>Pausa para comida</b>  |   |   |
| <b>14:30h</b>   | <table border="1"><tr><td><b>Sesión 5a<br/>Sistemas de Visión<br/>Artificial (I)</b></td><td><b>Sesión 5b<br/>IP Cores</b></td></tr></table>                  | <b>Sesión 5a<br/>Sistemas de Visión<br/>Artificial (I)</b>  | <b>Sesión 5b<br/>IP Cores</b>                                   |
| <b>Sesión 5a<br/>Sistemas de Visión<br/>Artificial (I)</b>  | <b>Sesión 5b<br/>IP Cores</b>   |   |   |
| <b>16:00h</b>   | <b>Pausa para café</b>  |   |   |
| <b>16:30h</b>   | <table border="1"><tr><td><b>Sesión 6a<br/>Sistemas de Visión<br/>Artificial (II)</b></td><td><b>Sesión 6b<br/>Criptografía y seguridad</b></td></tr></table> | <b>Sesión 6a<br/>Sistemas de Visión<br/>Artificial (II)</b> | <b>Sesión 6b<br/>Criptografía y seguridad</b>                   |
| <b>Sesión 6a<br/>Sistemas de Visión<br/>Artificial (II)</b> | <b>Sesión 6b<br/>Criptografía y seguridad</b>   |   |   |
|   |   |   |   |
| <b>21:30h</b>   | <b>Cena de Gala: Hostería del Estudiante</b>  |   |   |

Las sesiones 4b, 5b y 6b serán en el aula Este E101. El resto de sesiones y conferencia plenaria serán en la Sala de Grados del Edificio Politécnico (zona Este)

| <b>Conferencia plenaria</b> |   |
|-----------------------------|---|
| 10:00-11:00                 | <b>Capacidades sobresalientes de Spartan 6. Estrategias de optimización ISE 11</b><br>Gabriel Cutillas<br>Avnet Iberia (Silica) |

| <b>Sesión 4 a: Computación a medida</b> |   |
|---|---|
| 11:30-11:50                             | <b>C commands Implemented direct into the hardware using the ChipCflow Machine</b><br>Silva J.L., Martins V.<br>Universidad de Sao Paulo, Brasil  |
| 11:50- 12:10                            | <b>JANUS: an FPGA based super computer</b><br>Navarro D.<br>Universidad de Zaragoza en colaboración con <a href="http://www.janus-computer.com">www.janus-computer.com</a>  |
| 12:10- 12:30                            | <b>Protein Energy Calculation by Reconfigurable Computing</b><br>Romero-Ximil J.M., Díaz-Pérez A.<br>Cinvestav-Tamaulipas, México   |
| 12:30- 12:50                            | <b>Diseño de una arquitectura segmentada para computación de altas prestaciones en FPGA</b><br>Cobos Carrascosa J.P., Sanz R., Ramos Mas J.L., Del Toro Iniesta J.C., López Jiménez A.C.<br>Instituto de Astrofísica de Andalucía, CSIC |

| <b>Sesión 4 b: Herramientas y experiencias educativas</b> |  |
|---|--|
| 11:30-11:50   | <b>Entorno Didáctico para Sistemas Digitales de Instrumentación y Control</b><br>Ramos Lara R. <sup>1</sup> , López García M. <sup>1</sup> , Cantó Navarro E. <sup>2</sup><br><sup>1</sup> Universidad Politécnica de Cataluña<br><sup>2</sup> Universidad de Rovira i Virgili |
| 11:50- 12:10  | <b>FPGA Design of an Audio Processor</b><br>Olivares J.<br>Universidad de Córdoba  |
| 12:10- 12:30  | <b>Sistema de procesamiento de imagen para la divulgación del hardware reconfigurable</b><br>Toledo Moreo F.J., Martínez Álvarez J.J., Garrigós Guerrero F.J., Ferrández Vicente J.M.<br>Universidad Politécnica de Cartagena  |
| 12:30- 12:50  | <b>Diseño de Placas con Lógica Programable como Experiencia Educativa en Cursos de Grado</b><br>Fernández S., Bergeret A., Ciganda L., Oliver J.P.<br>Universidad de la República, Uruguay   |

| <b>Sesión 5 a: Sistemas de visión artificial (I)</b> |  |
|--|--|
| 14:30- 14:50   | <b>Arquitectura multiescala de cálculo de flujo óptico basado en la fase</b><br>Tomasi M., Vanegas M., Barranco F., Diaz J., Rós E.<br>Universidad de Granada  |
| 14:50- 15:10   | <b>Arquitectura Reconfigurable para Estimación de Movimiento sobre Tamaño de Bloque Variable aplicando Reducción de Precisión en la Representación de los Píxeles</b><br>Olivares J.<br>Universidad de Córdoba |
| 15:10- 15:30   | <b>Implementación sobre FPGA de una técnica de control de contraste de imágenes basada en operadores de Łukasiewicz</b><br>Hussein N.M., Barriga A.<br>Universidad de Sevilla                                  |

| <b>Sesión 5 b: IP Cores</b> |   |
|-----------------------------|---|
| 14:30- 14:50                | <b>Implementación sobre FPGA de un cliente SNTP de bajo coste y alta precisión</b><br>Viejo J., Juan Chico J., Ostua E., Millan A., Ruiz-de-Clavijo P., Villar J. I., Quiros J.<br>Universidad de Sevilla   |
| 14:50- 15:10                | <b>Protección de la Propiedad Intelectual de Cores basados en Microprocesador</b><br>Parrilla L. <sup>1</sup> , Castillo E. <sup>1</sup> , García A. <sup>1</sup> , Todorovich E. <sup>2</sup> , Lloris A. <sup>1</sup> , Boemo E. <sup>2</sup><br><sup>1</sup> Universidad de Granada<br><sup>2</sup> Universidad Autónoma de Madrid |
| 15:10- 15:30                | <b>FPGA-Based Combinational Implementation of the PHM Scheduling Algorithm</b><br>Soto Campos E., Rodríguez Andina J.J.<br>Universidad de Vigo  |
| 15:30- 15:50                | <b>Interfaz de control y comunicaciones para guiado de unidades en convoy basado en la tarjeta DS-BD-2S200PCI</b><br>Dongil Moreno F.J., Espinosa Zapata F., Hernández Alonso Á., Salazar Arcucci M.<br>Universidad de Alcalá   |

| <b>Sesión 6 a: Sistemas de visión artificial (II)</b> |  |
|---|--|
| 16:30- 16:50  | <b>Entorno software para visualización y configuración de procesamiento de imágenes en tiempo real con plataformas reconfigurables</b><br>Barranco F., Tomasi M., Vanegas M., Granados S., Díaz J.<br>Universidad de Granada   |
| 16:50- 17:10  | <b>Arquitectura reconfigurable para procesamiento de vídeo en tiempo real con filtrado no uniforme</b><br>Cobos Carrascosa J.P. <sup>1</sup> , Morillas Gutiérrez C. <sup>2</sup> , Ureña R. <sup>2</sup> , Pino Valle B. <sup>2</sup> , Pelayo Valle F. <sup>2</sup><br><sup>1</sup> Instituto de Astrofísica de Andalucía, CSIC<br><sup>2</sup> Universidad de Granada |
| 17:10- 17:30  | <b>Procesamiento de imagen en tiempo real con FPGA desde una perspectiva de alto nivel: codec con DCT</b><br>Guerra P. <sup>1</sup> , Cuenca-Asensi S. <sup>2</sup><br><sup>1</sup> CIBER Bioingeniería, Biomateriales y Nanomedicina<br><sup>2</sup> Universidad de Alicante  |

| <b>Sesión 6 b: Criptografía y seguridad</b> |  |
|---|--|
| 16:30- 16:50                                | <b>Optimización e Implementación de periféricos AES en Sistemas Embebidos</b><br>Kurtz de Griño A., Moreno Zamora J.A., Valverde Sánchez J.V.<br>Universidad de Extremadura  |
| 16:50- 17:10                                | <b>Implementación del Algoritmo AES en modo CBC usando un MPSoC</b><br>Granado Criado J.M., Vega Rodríguez M.A., Sánchez Pérez J.M., Gómez Pulido J.A.<br>Universidad de Extremadura   |
| 17:10- 17:30                                | <b>Utilizando Reconfiguración Dinámica para Evitar Ataques de Canal Auxiliar en Sistemas Empotrados</b><br>Moya J.M., Banković Z., Araujo Á., de Goyeneche J.M.<br>Universidad Politécnica de Madrid   |
| 17:30- 17:50                                | <b>A modeling of the throughput of various architectures and its confrontation in the case of the AES algorithm implementation</b><br>Pérez Castañeda O. <sup>1</sup> , Berviller Y. <sup>2</sup><br><sup>1</sup> Instituto Tecnológico de Tehuacán, México<br><sup>2</sup> Laboratoire d'Instrumentation Electronique de Nancy, Francia |

| <b>Viernes, 11 de Septiembre</b>                                |   |   |  |
|---|---|---|--|
| <b>9:00h</b>  | <b>Registro y entrega de documentación</b>  |   |  |
| <b>9:30h</b>  | <table border="1"><tr><td><b>Sesión 7a</b><br/><b>Aritmética de</b><br/><b>computadores</b></td><td><b>Sesión 7b</b><br/><b>Test y sistemas tolerantes a fallos</b></td></tr></table> | <b>Sesión 7a</b><br><b>Aritmética de</b><br><b>computadores</b> | <b>Sesión 7b</b><br><b>Test y sistemas tolerantes a fallos</b> |
| <b>Sesión 7a</b><br><b>Aritmética de</b><br><b>computadores</b> | <b>Sesión 7b</b><br><b>Test y sistemas tolerantes a fallos</b>  |   |  |
| <b>11:00h</b>   | <b>Pausa para café</b>  |   |  |
| <b>11:30h</b>   | <b>Sesión 8</b><br><b>Diseño ESL, Codiseño HW/SW</b>  |   |  |
| <b>13:00h</b>   | <b>Vino español</b>   |   |  |

La sesión 7b será en el aula Este E101. El resto de sesiones serán en la Sala de Grados del Edificio Politécnico (zona Este)

| <b>Sesión 7 a: Aritmética de computadores</b> |  |
|---|--|
| 9:30- 9:50                                    | <b>Implementación de un Multiplicador de constantes Múltiples Multiplexadas en el Tiempo basado en aritmética carry-save para FPGAs</b><br>Gutiérrez R. <sup>1</sup> , Pérez Pascual A. <sup>2</sup> , Valls J. <sup>2</sup><br><sup>1</sup> Universidad Miguel Hernández<br><sup>2</sup> Universidad Politécnica de Valencia  |
| 9:50- 10:10                                   | <b>Implementación en FPGA de la arcotangente(Y/X) usando aproximaciones logarítmicas</b><br>Gutiérrez R. <sup>1</sup> , Torres V. <sup>2</sup> , Valls J. <sup>2</sup><br><sup>1</sup> Universidad Miguel Hernández<br><sup>2</sup> Universidad Politécnica de Valencia  |
| 10:10- 10:30                                  | <b>Unidad aritmética en coma flotante para sistemas auto-reconfigurables dinámicamente sobre Spartan-3 basados en Microblaze.</b><br>Lumbiarres López R. <sup>1</sup> , López García M. <sup>1</sup> , Cantó Navarro E. <sup>2</sup> , Ramos Lara R. <sup>1</sup><br><sup>1</sup> Escuela Politécnica Superior de Vilanova i la Geltrú<br><sup>2</sup> Universidad de Rovira i Virgili |
| 10:30- 10:50                                  | <b>Análisis de Viabilidad de la Implementación de Algoritmos CFD en Plataformas Hardware Reconfigurables</b><br>Sierra R., Caffarena G., Carreras C., Palacios F.<br>Universidad Politécnica de Madrid   |

| <b>Sesión 7 b: Test y sistemas tolerantes a fallos</b> |  |
|--|--|
| 9:30- 9:50   | <b>Unidad de Control del instrumento científico SIDRA</b><br>Prieto Mateo M. <sup>1</sup> , Guzmán García D. <sup>1</sup> , García J.I. <sup>1</sup> , Parra P. <sup>1</sup> , Knoblauch M. <sup>1</sup> , Sánchez S. <sup>1</sup> , Meziat D. <sup>1</sup> , Dudnik O. <sup>2</sup> , Bilogub V. <sup>2</sup><br><sup>1</sup> Universidad de Alcalá<br><sup>2</sup> Kharkiv University, Ucrania |
| 9:50- 10:10  | <b>Implementación en SoC reconfigurable de un Codec SpaceWire basado en el estándar ESA ECSS-E-ST-50-12C</b><br>Aguilar Jiménez P. <sup>1</sup> , Prieto Mateo M. <sup>2</sup> , Guzmán García D. <sup>2</sup> , García Ramírez D. <sup>2</sup> , Castillo Rivas R. <sup>2</sup><br><sup>1</sup> Instituto Nacional de Técnica Aeroespacial, INTA<br><sup>2</sup> Universidad de Alcalá          |
| 10:10- 10:30   | <b>Inyección de fallos en SystemC mediante instrumentación dinámica de código</b><br>Da Silva Fariña A. <sup>1</sup> , Sánchez Prieto S. <sup>2</sup><br><sup>1</sup> Universidad Politécnica de Madrid<br><sup>2</sup> Universidad de Alcalá  |
| 10:30- 10:50   | <b>Diseño de un sistema de evaluación de recursos internos de una FPGA</b><br>Pérez Galán B., Bravo Muñoz I., Gardel Vicente A., Lázaro Galilea J.L., Baliñas Santos J.<br>Universidad de Alcalá   |

| <b>Sesión 8: Diseño ESL, Codiseño HW/SW</b> |  |
|---|--|
| 11:30- 11:50                                | <b>Implementación hardware-software de operadores morfológicos en PowerPC</b><br>Gómez López J.M., Vanegas Hernández M., Morillas Gutiérrez C., López Górdó M.A., Pelayo Valle F.<br>Universidad de Granada  |
| 11:50- 12:10                                | <b>Content-based Image Recovering algorithm Acceleration in a Low-cost Reconfigurable FPGA Cluster</b><br>Pedraza C. <sup>1</sup> , Castillo E. <sup>2</sup> , Castillo J. <sup>1</sup> , Bosque J.L. <sup>2</sup> , Cano J. <sup>1</sup> , Huerta P. <sup>1</sup> , Martínez J.I. <sup>1</sup><br><sup>1</sup> Universidad Rey Juan Carlos<br><sup>2</sup> Universidad de Cantabria |
| 12:10- 12:30                                | <b>Aceleración de algoritmos de procesamiento de imágenes estelares con CoDeveloper sobre plataforma HPRC</b><br>Garrigós Guerrero F.J., Martínez Álvarez J.J., Villó Pérez I., Toledo Moreo F.J., Ferrández Vicente J.M.<br>Universidad Politécnica de Cartagena  |